JAPANESE PATENT OFFICE

# PATENT ABSTRACTS OF JAPAN

(11)Publication number: 09083486
(43)Date of publication of application: 28.03.1997

(51)Int.Cl.
H04J 13/00
H03H 17/00
H03M 1/12

(21)Application number: 07255758
(22)Date of filing: 08.09.1995

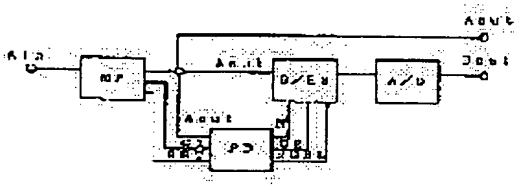
(71)Applicant: N T T IDO TSUSHINMO KK
YOZAN:KK

(72)Inventor: KOTOBUKI KOKURIYOU
SHU NAGAAKI
YAMAMOTO MAKOTO
SAWAHASHI MAMORU
ADACHI FUMIYUKI
TAKATORI SUNAO

## (54) FILTER CIRCUIT FOR COMMUNICATION

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption, the cost and to improve the yield by using a sample-and-hold circuit to hold intermittently an analog output signal so as to minimize the operating speed of an A/D conversion circuit.
SOLUTION: A sum arithmetic section MF outputs an analog output signal Aout and outputs a clock signal C1 deciding a timing of data hold of an internal sample-and-hold circuit S/H 3 and a reset signal RST representing a data hold timing of a top circuit to a peak detection section PD. The peak detection section outputs a clock signal C2 corresponding to the clock signal C1, a data number N to be held and a register selection signal RSEL to be held to the sample-and-hold circuit S/H 3. Thus, the sample-and-hold circuit S/H 3 holds intermittently an analog output signal of the sum arithmetic section MF to minimize the operating speed of an A/D conversion circuit, to reduce the power consumption and cost and to improve the yield.



Japanese Laid-Open Patent Publication No. 83486/1997 (Tokukaihei 9-83486) (Published on March 28, 1997)

(A) Relevance to claim

The following is a translation of passages related to no claim of the present invention.

(B) Translation of the related passages

[EXAMPLE]

[0010]

In Fig. 1, a matched filter is provided with a sample hold circuit "S/H3" at the following stage of a product-sum computing section "MF" of Fig. 17 to hold an analog output signal transmitted from the product-sum computing section; and an A/D converter for digitalizing an analog output signal Aout transmitted from the sample hold circuit. The sample hold circuit is controlled by a peak detecting section "PD". The product-sum computing section outputs to a peak detecting section PD a clock signal C1 for determining a timing of holding data in the sample hold circuit, and a reset signal RST indicative of a timing of holding data in the first sample hold circuit, as well as the Aout signal. The peak detecting section controls the S/H3 in response to these signals.

[0011]

The peak detecting section outputs to the sample hold

circuit S/H3 a clock C2 corresponding to the C1 and outputs the number N ('i' of the above equation (1)) of data to be held. The number N may have a predetermined number of kinds, e.g., three kinds at a maximum. Each of the numbers is registered in the register (not shown) of the sample hold circuit, and a register selection signal RSEL used for this operation is inputted from the PD to the S/H3.

BEST AVAILABLE COPY

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－83486

(43)公開日　平成９年(1997)３月28日

| (51)Int.Cl.⁶ | 識別記号 | 庁内整理番号 | Ｆ Ｉ | | 技術表示箇所 |
|---|---|---|---|---|---|
| Ｈ０４Ｊ　13/00 | | | Ｈ０４Ｊ　13/00 | Ａ | |
| Ｈ０３Ｈ　17/00 | ６０１ | 9274－5Ｊ | Ｈ０３Ｈ　17/00 | ６０１Ｃ | |
| Ｈ０３Ｍ　1/12 | | | Ｈ０３Ｍ　1/12 | Ａ | |

審査請求　未請求　請求項の数２　ＦＤ　（全 12 頁）

(21)出願番号　特願平7－255758

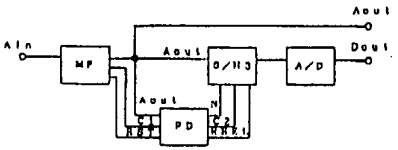
(22)出願日　平成７年(1995)９月８日

(71)出願人　392026693
エヌ・ティ・ティ移動通信網株式会社
東京都港区虎ノ門二丁目10番１号
(71)出願人　390010515
株式会社鷹山
東京都世田谷区北沢３－５－18　鷹山ビル
(72)発明者　寿　国栄
東京都世田谷区北沢３－５－18鷹山ビル
株式会社鷹山内
(72)発明者　岡　長明
東京都世田谷区北沢３－５－18鷹山ビル
株式会社鷹山内
(74)代理人　弁理士　山本　誠

最終頁に続く

(54)【発明の名称】　通信のためのフィルタ回路

(57)【要約】
【目的】　低消費電力型のフィルタ回路においてアナログ出力とともに効率的にデジタル出力を生成し得る通信のためのフィルタ回路を提供すること目的とする。
【構成】　同期捕捉後に一部の信号のみサンプリングすればよいという経験則に基づき、アナログ出力信号を間欠的保持しこれによってＡ／Ｄ変換回路の動作速度を最小限に抑えたものである。




【特許請求の範囲】
【請求項１】　複数の第１サンプル・ホールド回路によりアナログ入力信号を時系列で保持し、各時点のアナログ入力信号に対してＰＮ符号による重み付き加算を行い、加算結果をアナログ出力信号として出力する積和演算部と、この積和演算部の出力のピークを検出して信号を取り込むべきタイミングを決定するピーク検出部とを有する通信のためのフィルタ回路において、前記アナログ出力信号をデジタル信号に変換するＡ／Ｄコンバータがさらに設けられ、このＡ／Ｄコンバータは前記信号を取り込むべきタイミングでのみ信号を保持し適宜出力する第２サンプル・ホールド回路と、この第２サンプル・ホールド回路の出力をデジタル化する量子化部を備えた通信のためのフィルタ回路。
【請求項２】　第２サンプル・ホールド回路は、複数のピーク個数に対応した複数の第３サンプル・ホールド回路と、これら第３サンプル・ホールド回路のいずれか１個の出力あるいは基準電圧を選択的に出力する複数のスイッチと、ピーク検出部の出力に基づいて第３サンプル・ホールド回路の保持タイミングおよびスイッチの開閉タイミングを制御する制御部を備えていることを特徴とする請求項１記載の通信のためのフィルタ回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】本発明は通信のためのフィルタ回路に係り、特に移動体通信や無線ＬＡＮ等のためのスペクトラム拡散通信システムに有効なマッチドフィルタ回路に関する。
【０００２】
【従来の技術】マッチドフィルタ（整合フィルタ）は、２つの信号の同一性を判定するためのフィルタであり、スペクトラム拡散方式の通信において、信号を受信すべきユーザは受信信号を自らの拡散符号を用いたマッチドフィルタで処理し、その相関ピークを検出して、同期捕捉および保持を行う。
【０００３】ここに拡散符号をｄ（ｉ）、サンプリング間隔Δｔ、拡散符号長をＮ、ある時刻ｔ以前の受信信号をｘ（ｔ－ｉΔｔ）とすると、マッチドフィルタの相関出力ｙ（ｔ）は、
【数１】

$$y(t)=\sum_{i=0}^{N-1} d(i)x(t-i\Delta t) \qquad (1)$$

となる。なおｄ（ｉ）は１ビットデータのデータ列である。
【０００４】ここで従来のマッチドフィルタをみる。図１６はデジタルタイプのマッチドフィルタにおける積和演算回路であり、デジタル化された入力信号Ｘをシフトレジスタ「ＳＦＴ－ＲＥＧ」で保持しつつシフトし、所定のサンプルタイミングにおいて、複数のデジタル乗算器ＤＭにより、レジスタＲＥＧに登録された乗数を入力信号に乗ずる。そして各乗算器ＤＭの出力をデジタル加算器ＤＡＤにおいて加算する。以上の演算は上記式（１）に対応するものであるが、同期捕捉のためにはダブルサンプリングあるいはより多くのサンプリングを行う必要があり、図１６の回路が複数系統になる。このため全体の回路規模は大きくなり、多くの電力を消費した。これは携帯通信端末にとって重大な欠点であった。またＳＡＷ（表面弾性波）素子を使用した回路も用いられていたが、１素子による全体回路実現が容易でなくまたＳ／Ｎ比が低いという問題があった。
【０００５】そこで本願出願人は図１７に示すアナログ型の積和演算回路によるマッチドフィルタを提案し、容量結合による電圧駆動型のサンプル・ホールドおよび加算を行い、消費電力を節減した。しかしながら、マッチドフィルタ以外の部分については当面従来のデジタル型の通信システムが用いられる可能性があり、マッチドフィルタの出力としてデジタル出力も必要となった。
【０００６】
【発明が解決しようとする課題】本発明はこのような問題点に対処すべく創案されたもので、低消費電力型のフィルタ回路においてアナログ出力とともに効率的にデジタル出力を生成し得る通信のためのフィルタ回路を提供すること目的とする。
【０００７】
【課題を解決するための手段】本発明に係るフィルタ回路は、同期捕捉後に一部の信号のみサンプリング すればよいという経験則に基づき、アナログ出力信号を間欠的保持しこれによってＡ／Ｄ変換回路の動作速度を最小限に抑えたものである。
【０００８】
【作用】本発明に係るフィルタ回路によれば、Ａ／Ｄ変換回路として速度仕様の比較的低い回路を使用でき、コスト、歩留り、消費電力において有利である
【０００９】
【実施例】次に本発明に係るマッチドフィルタの１実施例を図面に基づいて説明する。
【００１０】図１において、マッチドフィルタは前記図１７の積和演算部「ＭＦ」の後段に、この積和演算部からのアナログ出力信号を保持するサンプル・ホールド回路「Ｓ／Ｈ３」と、サンプル・ホールド回路からのアナログ出力信号Ａｏｕｔをデジタル化するＡ／Ｄ変換部「Ａ／Ｄ」とを有し、サンプル・ホールド回路はピーク検出部「ＰＤ」によって制御されている。積和演算部はＡｏｕｔの他に、内部サンプル・ホールド回路のデータ保持のタイミングを決定するクロック信号Ｃ１、および先頭のサンプル・ホールド回路のデータ保持タイミングを示すリセット信号ＲＳＴをピーク検出部ＰＤに対して出力し、ピーク検出部はこれら信号に基づいてＳ／Ｈ３を制御する。
【００１１】ピーク検出部はサンプル・ホールド回路Ｓ

BEST AVAILABLE COPY



／Ｈ３に対して、前記Ｃ１に対応したクロックＣ２を出力し、保持すべきデータの番号（前記式（１）のｉ）Ｎを出力する。この番号Ｎは所定個数、例えば３個まで設定できる。各番号はサンプル・ホールド回路内のレジスタ（図示省略）に一旦登録され、そのためのレジスタ選択信号ＲＳＥＬがＰＤからＳ／Ｈ３に入力される。

【００１２】図２において、サンプル・ホールド回路ＳＨ３は、信号演算部の出力Ａｏｕｔを適当なタイミングで保持する複数のサンプル・ホールド回路ＳＨ２１、ＳＨ２２、ＳＨ２３を有し、これらのサンプル・ホールド回路の出力はスイッチＳＢ２、ＳＢ３、ＳＢ４にそれぞれ接続されている。電源電圧をＶｄｄとするとき、Ｖｄｄ／２の基準電圧Ｖｒが各サンプル・ホールド回路に入力され、さらにＶｒは、前記スイッチと並列なスイッチＳＢ１に入力されている。スイッチＳＢ１～ＳＢ４の出力は１個のキャパシタンスＣ２１に並列入力され、キャパシタンスＣ２１の出力は反転増幅器ＩＮＶ２に入力されている。反転増幅器ＩＮＶ２の出力はキャパシタンスＣ２２を介してその入力にフィードバックされ、これによって、ＳＢ１～ＳＢ４の出力が良好な線形特性をもってアナログ出力信号Ａｏ２として出力されるようになっている。

【００１３】前記ＳＨ２１～ＳＨ２３およびＳＢ１～ＳＢ４はコントローラ（ＣＯＮＴＲＯＬＬＥＲで示す。）よりの制御信号ＣＴＲＬ２によって制御されており、コントローラにはマルチパスにおける複数のピークに対応した複数のレジスタが設けられ、データ取り込みのタイミング、すなわちデータ中のピークの位置を示す番号（以下ピーク番号という。）を登録し得るようになっている。コントローラには、ピーク検出部ＰＤからレジスタ選択信号ＲＳＥＬ、ピーク番号信号Ｎ、レジスタ書き込みクロックＣ２が入力され、各レジスタに対するピーク番号書き込みが行われる。

【００１４】さらに反転増幅部ＩＮＶ２には、その入出力を接続するスイッチＳＡ１が設けられ、ＳＡ１を閉成することによって、反転増幅部ＩＮＶ２の入力におけるオフセット電圧をリフレッシュし得る。このリフレッシュによって、サンプル・ホールド回路の出力精度を確保し得る。

【００１５】スイッチＳＢ２～ＳＢ４はＳＨ２１～ＳＨ２３で保持されたＡｏｕｔを後段に出力すべき時点で閉成され、またＳＢ１はＩＮＶ２、Ｃ２１、Ｃ２２のリフレッシュに際して閉成される。

【００１６】サンプル・ホールド回路ＳＨ２１はＡｏｕｔおよびＶｒにそれぞれ接続されたスイッチＳＷＨ１、ＳＷＨ２を有し、Ｓ／Ｈ３と同様に、これらスイッチの出力は、キャパシタンスＣ３１を介してインバータＩＮＶ３に入力されている。またインバータＩＮＶ３の入出力はキャパシタンスＣ３２およびスイッチＳＡ２によって相互に接続されている。サンプル・ホールド回路ＳＨ２１は、コントロール信号ＣＴＲＬ３によって制御され、ＳＷＨ２を閉成した状態から開放された時点においてＣ３１およびＣ３２の電荷としてＡｏｕｔを取り込み、保持する。サンプル・ホールド回路の出力はＩＮＶ３の高いゲインおよびＣ３２によるフィードバックによって、良好な線形特性が保証されている。そしてＳＨ２２、ＳＨ２３はＳＨ２１と同様に構成されている。

【００１７】図４において、前記スイッチＳＡ１はＭＯＳトランジスタＴ４およびこれと逆極性のダミートランジスタＤＴ４（Ｔ４の１／２ほどのサイズ）を直列してなり、そのゲートには制御信号ＣＴＲＬ４およびこれをインバータＩ４によって反転した信号が入力され、ＣＴＲＬ４がハイレベルのときに入力Ｔｉｎ４が出力Ｔｏ４に導通するようになっている。ＤＴ４はＩＮＶ２の入力側すなわちフローティング状態のキャパシタンスＣ２１に接続され、リフレッシュ時におけるＣ２１の電荷残留の影響をＤＴ４の逆極性によって相殺するようになっている。これによってスイッチＳＡ１の影響による出力精度低下が防止されている。なおＳＡ２も同様に構成されているので図示を省略する。また以下に記述されるスイッチでＳＡ～と表示されるものは全て同様に構成されるものとする。

【００１８】図５において、スイッチＳＢ１はＭＯＳトランジスタＴ５のゲートに制御信号ＣＴＲＬ５およびこれをインバータＩ５によって反転した信号を入力してなり、ＣＴＲＬ５がハイレベルのときに入力Ｔｉｎ５が出力Ｔｏ５に導通するようになっている。なおＳＢ２～ＳＢ４も同様に構成されているので図示を省略する。また以下に記述されるスイッチでＳＢ～と表示されるものは全て同様に構成されるものとする。

【００１９】図６において、前記スイッチＳＷＨ１はＣＭＯＳＴ６およびこれと逆極性のダミートランジスタＤＴ６（Ｔ６の１／２ほどのサイズ）を直列してなり、そのゲートには制御信号ＣＴＲＬ６およびこれをインバータＩ６によって反転した信号が入力され、ＣＴＲＬ６がハイレベルのときに入力Ｔｉｎ６が出力Ｔｏ６に導通するようになっている。ＤＴ６は出力側すなわちフローティング状態のキャパシタンスＣ３１に接続され、リフレッシュ時におけるＣ３１の電荷残留の影響をＤＴ６の逆極性によって相殺するようになっている。これによってスイッチＳＷＨ１の影響による出力精度低下が防止されている。なおＳＷＨ２も同様に構成されているので図示を省略する。

【００２０】前記サンプル・ホールド回路Ｓ／Ｈ３によるサンプル・ホールドのタイミングは図１８に示すとおりであり、ＳＨ２１による信号取り込みの後、一定の時間Ｔｈの経過後にＳＨ２１のデータをＳＢ２から出力する。このデータ出力が終了する前にＳＨ２２によるデータ取り込みを開始し、その終了後にＳＢ３からの出力を行う。さらにＳＨ２３でのデータ保持終了後ＳＢ４によるデータ出力を行う。ＳＨ２１によるデータ取り込みの開始を起点としてサンプル・ホールドの周期Ｔｃを図１８のように与え、ＳＢ２による出力開始からＳＢ４による出力終了までの時間をＴ１とすると、時間（Ｔｈ＋Ｔ１）はＴｃより充分短く設定される。そして（Ｔｃ－（Ｔｈ＋Ｔ１））の時間内においてスイッチＳＡ１、ＳＢ１による回路のリフレッシュが実行される。

【００２１】以上は３個のピークが検出され、サンプル・ホールド回路における全ての回路が使用されるケースであるが、より少ないピーク例えば２個のピークが検出された場合には図１９のようなタイミング設定が行われる。

【００２２】図１９において、ＳＨ２１によるデータ取り込みから、ＳＨ２２によるデータ取り込みまでの時間Ｔｄ、同データ取り込みからＳＢ２による出力までの時間Ｔｈは図１８と同様に設定され、また出力期間Ｔ１も図１８と同様に設定される。

【００２３】図７において、Ａ／Ｄコンバータは Ｓ／Ｈ３の出力（図７ではＡｉ７で示す）が入力された第１量子化回路Ｑ１、この量子化回路の出力およびＡｉ７の反転出力が入力された第２量子化回路Ｑ２を有し、Ｑ１において上位ビットを、Ｑ２において下位ビットを生成する。

【００２４】量子化回路Ｑ１は図８に示す４段階の閾値回路Ｔｈ１、Ｔｈ２、Ｔｈ３、Ｔｈ４よりなり、上位３段階の各閾値回路の出力ｂ０～ｂ２の反転出力ｂ０’、ｂ１’、ｂ２’が内部中間データとして生成されている。

【００２５】最も下位の閾値回路Ｔｈ４には、入力信号Ａｉ８、ｂ０’、ｂ１’、ｂ２’が入力される容量結合ＣＰ８４、およびこのＣＰ８４の出力に接続された４段のＭＯＳインバータＩ８４１、Ｉ８４２、Ｉ８４３、Ｉ８４４を有し、ｂ３はＩ８４４の出力として生成されている。ＣＰ８４はキャパシタンスＣ８４１、Ｃ８４２、Ｃ８４３、Ｃ８４４、Ｃ８４５、Ｃ８４６を並列接続してなり、これらキャパシタンスには、入力信号Ａｉ８、ｂ０’、ｂ１’、ｂ２’、電源電圧Ｖｃｃ（＝Ｖｄｄ）およびグランドがそれぞれ接続されている。Ａｉ８はマルチプレクサＭＵＸを介してＣ８４１に入力され、マルチプレクサはＡｉ８と基準電圧Ｖｒを二者択一的にＣ８４１に入力する。

【００２６】最下位から二番目の桁に対応する閾値回路Ｔｈ３には、入力信号Ａｉ８、ｂ０’、ｂ１’が入力される容量結合ＣＰ８３、およびこのＣＰ８３の出力に接続された４段のＭＯＳインバータＩ８３１、Ｉ８３２、Ｉ８３３、Ｉ８３４を有し、ｂ２はＩ８３４の出力として生成されている。ＣＰ８３はキャパシタンスＣ８３１、Ｃ８３２、Ｃ８３３、Ｃ８３４、Ｃ８３５を並列接続してなり、これらキャパシタンスには、入力信号Ａｉ８、ｂ０’、ｂ１’、電源電圧Ｖｃｃおよびグランドがそれぞれ接続されている。Ａｉ８はマルチプレクサＭＵＸを介してＣ８３１に入力され、マルチプレクサはＡｉ８と基準電圧Ｖｒを二者択一的にＣ８３１に入力する。

【００２７】最下位から三番目の桁に対応する閾値回路Ｔｈ２には、入力信号Ａｉ８、ｂ０’が入力される容量結合ＣＰ８２、およびこのＣＰ８２の出力に接続された４段のＭＯＳインバータＩ８２１、Ｉ８２２、Ｉ８２３、Ｉ８２４を有し、ｂ１はＩ８２４の出力として生成されている。ＣＰ８２はキャパシタンスＣ８２１、Ｃ８２２、Ｃ８２３、Ｃ８２４を並列接続してなり、これらキャパシタンスには、入力信号Ａｉ８、ｂ０’、電源電圧Ｖｃｃおよびグランドがそれぞれ接続されている。Ａｉ８はマルチプレクサＭＵＸを介してＣ８２１に入力され、マルチプレクサはＡｉ８と基準電圧Ｖｒを二者択一的にＣ８２１に入力する。

【００２８】最上位の桁に対応する閾値回路Ｔｈ１には、入力信号Ａｉ８が入力される容量結合ＣＰ８１、およびこのＣＰ８１の出力に接続された４段のＭＯＳインバータＩ８１１、Ｉ８１２、Ｉ８１３を有し、ｂ０はＩ８１３の出力として生成されている。ＣＰ８１はキャパシタンスＣ８１１、Ｃ８１２、Ｃ８１３を並列接続してなり、これらキャパシタンスには、入力信号Ａｉ８、電源電圧Ｖｃｃおよびグランドがそれぞれ接続されている。Ａｉ８はマルチプレクサＭＵＸを介してＣ８１１に入力され、マルチプレクサはＡｉ８と基準電圧Ｖｒを二者択一的にＣ８１１に入力する。

【００２９】ＣＰ８１～ＣＰ８４の各キャパシタンスの容量は表１のとおりであり、入力信号Ａｉ８に対する出力ｂ０、ｂ１、ｂ２、ｂ３は表２のとおりである。なお表１のＣｕは必ずしも最小容量である必要はなく、各容量結合に共通であればよい。また表２中、電圧（Ｖｄｄ／１６）をＶａとして表示している。

【００３０】以上の量子化回路Ｑ１により出力ｂ０～ｂ３が生成される。そして、ｂ０～ｂ３は図７の容量結合ＣＰ７により、２進数の重み付けをされ、かつＡｉ７の反転出力と加算される。Ａｉ７はキャパシタンスＣ７１、反転増幅部ＩＮＶ７１を介してＣ７３に入力されており、ＩＮＶ７１の出力はキャパシタンスＣ７２を介してその入力にフィードバックされている。この反転増幅器の出力は－Ａｉ７（Ｃ７１／Ｃ７２）であり、Ｃ７１＝Ｃ７２と設定されている。容量結合ＣＰ７の出力は反転増幅部ＩＮＶ７２を介してＱ２に入力され、ＩＮＶ７２の出力はキャパシタンスＣ７４を介してその入力にフィードバックされている。容量結合ＣＰ７はキャパシタンスＣ７３、Ｃ７５、Ｃ７６、Ｃ７７、Ｃ７８を並列接続してなり、これらキャパシタンスには、－Ａｉ７’、ｂ０、ｂ１、ｂ２、ｂ３がそれぞれ接続されている。ここに、Ｃ７４およびＣＰ７内のキャパシタンスの容量比はＣ７３：Ｃ７４：Ｃ７５：Ｃ７６：Ｃ７７：Ｃ７８＝１６：１：８：４：２：１である。なお、量子化回路Ｑ

BEST AVAILABLE COPY



2はQ1と同様に構成されているので説明を省略する。

【0031】図9において、積和演算回路MFは複数のサンプル・ホールド回路S／H91～S／H96に対して入力電圧Vin（基準電圧Vrを基準とした電圧）を並列接続してなり、各サンプル・ホールド回路からH（ハイ）、L（ロー）の2系統の出力を生じる。サンプル・ホールド回路にはコントロール回路CTRL9が接続され、順次いずれか1個のサンプル・ホールド回路にVinが取り込まれるように制御を行う。

【0032】またサンプル・ホールド回路は、コントロール回路の制御に基づき、入力電圧VinをH側またはL側の一方に導き、他方には基準電圧Vrを接続する。この経路選択は入力信号に乗ずべき1ビット符号に対応して行われ、この段階で乗算が完了したことになる。

【0033】サンプル・ホールド回路S／H91～S／H96（図はS／H91で代表している。）は、図10のように構成され、入力電圧Vinは前記SB1と同様のスイッチSB15に接続されている。スイッチSB15の出力はキャパシタンスC9に接続され、キャパシタンスC9の出力には反転増幅部INV9が接続されている。INV9の出力は2個のマルチプレクサMUX91、MUX92に入力され、またこれらマルチプレクサには共通な基準電圧Vrが接続されている。SB15閉成されると、C9はAi9に対応した電荷で充電され、INV9により出力の線形特性が保証される。そして、その後スイッチSB15が開放されたときにサンプル・ホールド回路S／H91はAi9を保持することになる。

【0034】前記反転増幅部INV2は図11の構成を有し、入力電圧Ai10は3段直列のMOSインバータI101、I102、I103に入力されている。最終段のMOSインバータI103の出力Vo10は前記帰還キャパシタンスC22（図2）を介して初段キャパシタンスI101の入力に接続され、閉ループゲインが設定されている。帰還キャパシタンスC22の容量はC21（図2）と等しく設定され、閉ループゲインは－1に設定されている。

【0035】反転増幅部INV2はI103の出力が接地キャパシタンスC102を介してグランドに接続され、またI102の出力が一対の平衡レジスタンスRE101、RE102を介して電源およびグランドに接続されている。これによってフィードバック系を含む増幅回路の発振が防止されている。

【0036】INV3、INV71、INV72、INV9はINV2と同様に構成されているので、図示を省略する。

【0037】図12に示すように、図8のマルチプレクサMUXはn型MOSトランジスタのソース、ドレインと、p型MOSトランジスタのドレイン、ソースとをそれぞれ相互に接続してトランジスタ回路T121、T122を構成してなる。両トランジスタ回路におけるn型MOSトランジスタのソース側の端子は共通出力端子TO12に接続され、T121におけるnMOSトランジスタのドレイン側の端子には図8に示した入力電圧Ai8（図12ではAi12で示す。）が接続されている。またT122におけるnMOSトランジスタのドレイン側の端子には基準電圧Vrが接続されている。トランジスタ回路T121におけるnMOSトランジスタのゲートおよびトランジスタ回路T122におけるpMOSトランジスタのゲートには制御信号CTRL12が入力され、T121のpMOSおよびT122のnMOSのゲートにはCTRL12をインバータI12で反転した信号が入力されている。これによって、CTRL12がハイレベルのときには、T121が導通してT122は遮断され、ローレベルのときにはT122が導通しT121が遮断される。すなわちMUXは、CTRL12のコントロールによりAi12またはVrを択一的に出力し得る。なお図10に示すマルチプレクサMUX91、MUX92はMUXと同様の構成を有するので、説明を省略する。

【0038】図13に示すように、加算部AD91p（AD91mも同様。）は1グループのサンプル・ホールド回路の個数に対応した個数のキャパシタンスC131、C132、C133よりなる容量結合CP13を有し、その出力はINV2と同様なINV13に接続されて、CP13の出力が良好な線形性をもって出力電圧Ao13として出力される。各キャパシタンスC131～C133の入力電圧をAi131、Ai132、Ai133、INV13の帰還キャパシタンスをCF13とすると、INV13の出力Ao13は、

【数2】

$$Ao13 = -\frac{C_{131}Ai_{131} + C_{132}Ai_{132} + C_{133}Ai_{133}}{CF_{13}} \qquad (2)$$

となる。ここに、Ai131～Ai133とAo13は基準電圧Vrを基準とした電圧であり、またC131＝C132＝C133＝CF13／3と設定されている。これにより、

【数3】

$$Ao13 = -\frac{Ai_{131} + Ai_{132} + Ai_{133}}{3} \qquad (3)$$

となる反転加算値の正規化出力が得られる。この正規化により、最大電圧が電源電圧を超えることが防止されている。

【0039】図14に示すように、加算部AD92は接続されたAD91pまたはAD91mの個数に対応した個数のキャパシタンスC141、C142よりなる容量結合CP14を有し、その出力はINV2と同様な反転増幅部INV14に接続されている。これによってCP14の出力が良好な線形性をもってINV14の出力に生じるようになっている。各キャパシタンスC141、C142の入力電圧をAi141、Ai142、INV14の帰還キャパシタンスをCF14とすると、INV14の出力Ao14は、

【数4】

$$Ao14 = -\frac{C_{141}Ai_{141} + C_{142}Ai_{142}}{CF_{14}} \qquad (4)$$

となる。ここに、Ai141、Ai142とAo14は基準電圧Vrを基準とした電圧であり、またC141＝C142＝CF14／2と設定されている。これによって、

【数5】

$$Ao14 = -\frac{Ai_{141} + Ai_{142}}{2} \qquad (5)$$

なる加算値の正規化出力が得られる。この正規化により、最大電圧が電源電圧を超えることが防止されている。

【0040】図15に示すように、加算部AD93は接続された2個のAD91pまたはAD91mおよびAD92に対応したキャパシタンスC151、C152、C153よりなる容量結合CP15を有し、その出力はINV2と同様のINV15に接続されている。これによってCP15の出力が良好な線形性をもってINV15の出力に生じるようになっている。各キャパシタンスC151～C153の入力電圧（Vrを基準とした電圧）をAi151、Ai152、Ai153、INV15の帰還キャパシタンスをCF15とすると、INV15の出力Ao15（Vrを基準とした電圧）は、

【数6】

$$Ao15 = -\frac{C_{151}Ai_{151} + C_{152}Ai_{152} + C_{153}Ai_{153}}{CF_{15}} \qquad (6)$$

となる。ここに、C151＝C152　C153　2CF15／2と設定され、

【数7】

$$Ao15 = -\frac{Ai_{151} + Ai_{152} + 2Ai_{153}}{2} \qquad (7)$$

となる反転加算値の正規化出力が得られる。なお、C153の重みがC151、C152の2倍に設定されているのは、AD92で正規化された影響を除去する（正規化されていないAo13、Ao14と整合させる）ためである。以上の正規化により、最大電圧が電源電圧を超えることが防止されている。

【0041】ここでAD91p、AD91m、AD92、AD93による演算を一般化してまとめる。i番目のS／H9iのための信号CTRL9をCTRL9（i）、その反転をICTRL9（i）で表すと、AD92の出力Ao14は、

【数8】

$$Ao14 = \frac{1}{N}\sum_{i=0}^{N-1}\frac{ICTRL9(i)+1}{2}V(t-i\Delta t) \qquad (8)$$

となり、AD93の出力Ao15（t）は、

【数9】

$$Ao15(t) = -\frac{1}{N}\left\{NAo14 - \sum_{i=0}^{N-1}\frac{CTRL9(i)+1}{2}V(t-i\Delta t)\right\} \qquad (9)$$

であり、

【数10】

$$Ao15(t) = \frac{1}{N}\sum_{i=0}^{N-1}\frac{\{CTRL9(i)V(t-i\Delta t) - ICTRL(i)V(t-i\Delta t)\}}{2} \qquad (10)$$

となる演算が実行されたことになる。ここに、

CTRL9（i）＝　1　　または　－1

CTRL9（i）＝　1　　のとき　ICTRL9（i）＝－1

CTRL9（i）＝－1　　のとき　ICTRL9（i）＝　1

である。

【0042】前記スイッチSA1～SA12、SB1、SB7～SB14は回路のリフレッシュを行うものであり、電荷リーク等によるオフセット電圧を解消し得る。また反転増幅部（INV2で代表する。）の電源スイッチSWSはサンプル・ホールド回路SH21等をその使用状況に応じて給電停止するものであり、これによって消費電力を節減し得る。なおリフレッシュのためのスイッチを省略した場合にも通常は充分な出力精度が得られる。

【0043】

【発明の効果】前述のとおり、本発明に係る通信のためのフィルタは、同期捕捉後に一部の信号のみサンプリングすればよいという経験則に基づき、アナログ出力信号を間欠的保持しこれによってA／D変換回路の動作速度を最小限に抑えたので、A／D変換回路として速度仕様の比較的低い回路を使用でき、コスト、歩留り、消費電力において有利であるという優れた効果を有する。

【図面の簡単な説明】

【図1】　本発明に係るマッチドフィルタ回路を示す回路図である。

【図2】　同実施例におけるサンプル・ホールド回路を示す回路図である。

【図3】　同サンプル・ホールド回路における1個のサンプル・ホールド回路を示す回路図である。

【図4】　同実施例における第1タイプのスイッチを示す回路図である。

【図5】　同実施例における第2のタイプのスイッチを

示す回路図である。
【図６】　同実施例における第３のタイプのスイッチを示す回路図である。
【図７】　同実施例におけるＡ／Ｄコンバータ示す回路図である。
【図８】　同Ａ／Ｄコンバータにおける量子化回路を示す回路図である。
【図９】　同実施例における積和演算回路を示す回路図である。
【図１０】同積和演算回路におけるサンプル・ホールド回路を示す回路図である。
【図１１】同実施例に含まれる反転増幅部を示す回路図である。
【図１２】図８および図１０のサンプル・ホールド回路におけるマルチプレクサを示す回路図である。
【図１３】図９の積和演算回路における第１の加算回路を示す回路図である。
【図１４】図９の積和演算回路における第２の加算回路を示す回路図である。
【図１５】図９の積和演算回路における第３の加算回路を示す回路図である。
【図１６】従来のデジタル型のマッチドフィルタを示すブロック図である。
【図１７】提案済みのアナログ型のマッチドフィルタを示すブロック図である。
【図１８】サンプル・ホールド回路の動作タイミングを示すタイミング・チャートである。
【図１９】サンプル・ホールド回路の他の動作タイミングを示すタイミング・チャートである。
【符号の説明】
Ａ／Ｄ　．．．　Ａ／Ｄコンバータ
Ｓ／Ｈ３、ＳＨ２１～ＳＨ２３、Ｓ／Ｈ９１～Ｓ／Ｈ９６　．．．　サンプル・ホールド回路
ＳＢ２～ＳＢ４　．．．　スイッチ
ＭＦ　．．．　積和演算部
ＰＤ　．．．　ピーク検出部。==========
==========
========== 1995-09-07 17:28:01
<<Start>> A:¥JSDOC¥PATENT¥YZN95009¥明細書.TXT
<< End >> A:¥JSDOC¥PATENT¥YZN95009¥明細書.TXT

---

【表１】

BEST AVAILABLE COPY



表１　キャパシタンス容量

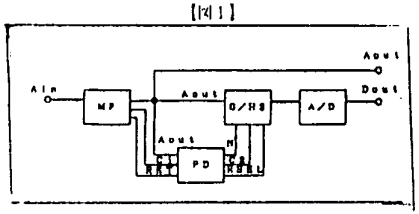
| 容量結合 | キャパシタンス | 容量 |
|---|---|---|
| ＣＰ８４ | Ｃ８４１ | １６Ｃｕ |
| | Ｃ８４２ | ８Ｃｕ |
| | Ｃ８４３ | ４Ｃｕ |
| | Ｃ８４４ | ２Ｃｕ |
| | Ｃ８４５ | Ｃｕ |
| | Ｃ８４６ | Ｃｕ |
| ＣＰ８３ | Ｃ８３１ | １６Ｃｕ |
| | Ｃ８３２ | ８Ｃｕ |
| | Ｃ８３３ | ４Ｃｕ |
| | Ｃ８３４ | ２Ｃｕ |
| | Ｃ８３５ | ２Ｃｕ |
| ＣＰ８２ | Ｃ８２１ | １６Ｃｕ |
| | Ｃ８２２ | ８Ｃｕ |
| | Ｃ８２３ | ４Ｃｕ |
| | Ｃ８２４ | ４Ｃｕ |
| ＣＰ８１ | Ｃ８１１ | １６Ｃｕ |
| | Ｃ８１２ | ８Ｃｕ |
| | Ｃ８１３ | ８Ｃｕ |

【表２】

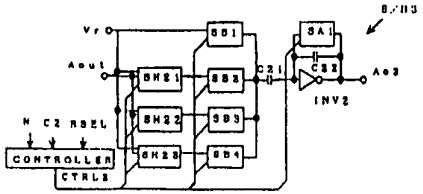
表２　入出力関係

| 入力電圧 | 内部中間出力 | | | | 出力 | | | |
|---|---|---|---|---|---|---|---|---|
| Vi8 | b3' | b2' | b1' | b0' | b3 | b2 | b1 | b0 |
| 0≦Vi8< Va | Vdd | Vdd | Vdd | Vdd | 0 | 0 | 0 | 0 |
| Va≦Vi8< 2Va | 0 | Vdd | Vdd | Vdd | Vdd | 0 | 0 | 0 |
| 2Va≦Vi8< 3Va | Vdd | 0 | Vdd | Vdd | 0 | Vdd | 0 | 0 |
| 3Va≦Vi8< 4Va | 0 | 0 | Vdd | Vdd | Vdd | Vdd | 0 | 0 |
| 4Va≦Vi8< 5Va | Vdd | Vdd | 0 | Vdd | 0 | 0 | Vdd | 0 |
| 5Va≦Vi8< 6Va | 0 | Vdd | 0 | Vdd | Vdd | 0 | Vdd | 0 |
| 6Va≦Vi8< 7Va | Vdd | 0 | 0 | Vdd | 0 | Vdd | Vdd | 0 |
| 7Va≦Vi8< 8Va | 0 | 0 | 0 | Vdd | Vdd | Vdd | Vdd | 0 |
| 8Va≦Vi8< 9Va | Vdd | Vdd | Vdd | 0 | 0 | 0 | 0 | Vdd |
| 9Va≦Vi8<10Va | 0 | Vdd | Vdd | 0 | Vdd | 0 | 0 | Vdd |
| 10Va≦Vi8<11Va | Vdd | 0 | Vdd | 0 | 0 | Vdd | 0 | Vdd |
| 11Va≦Vi8<12Va | 0 | 0 | Vd | 0 | Vdd | Vdd | 0 | Vdd |
| 12Va≦Vi8<13Va | Vdd | Vdd | 0 | 0 | 0 | 0 | Vdd | Vdd |
| 13Va≦Vi8<14Va | 0 | Vdd | 0 | 0 | Vdd | 0 | Vdd | Vdd |
| 14Va≦Vi8<15Va | Vdd | 0 | 0 | 0 | 0 | Vdd | Vdd | Vdd |
| 15Va≦Vi8<16Va | 0 | 0 | 0 | 0 | Vdd | Vdd | Vdd | Vdd |

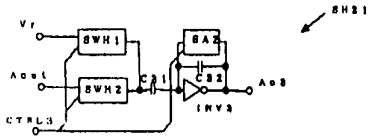
【図１】



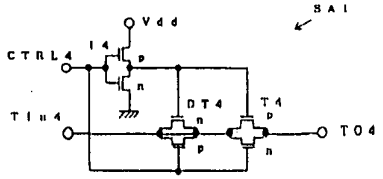

【図２】




【図３】



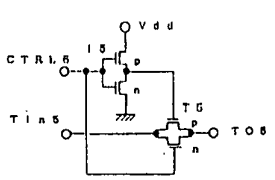

【図４】



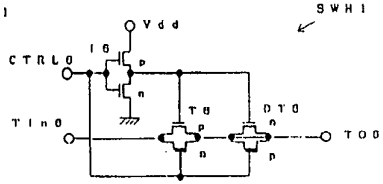

BEST AVAILABLE COPY



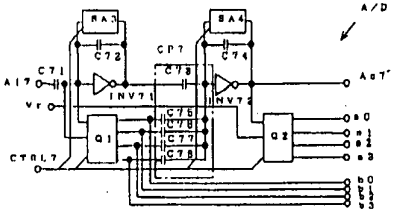
【図５】



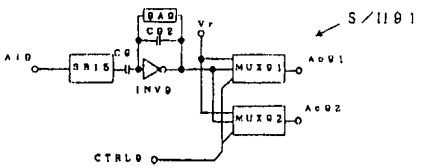

【図６】



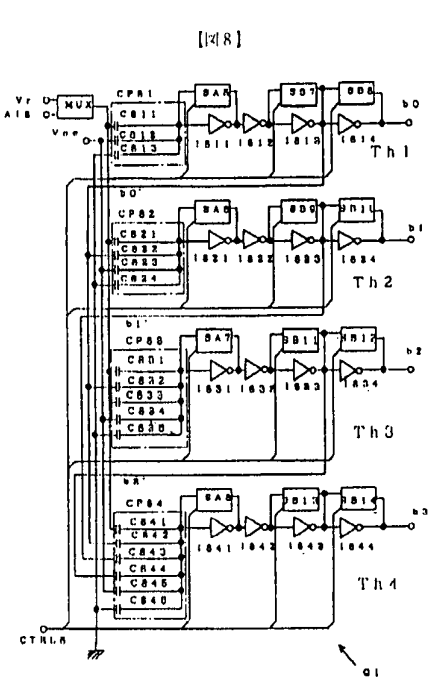

【図７】



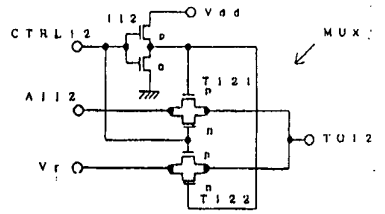

【図１０】



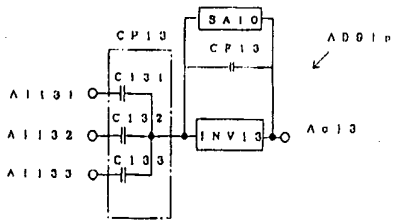

【図８】




【図１２】



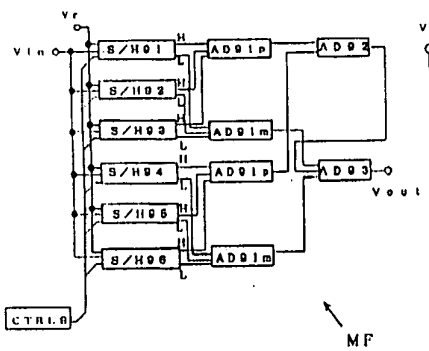

【図１３】



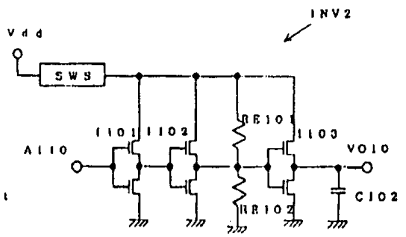
BEST AVAILABLE COPY



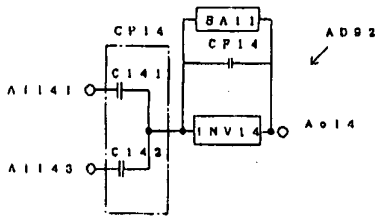
【図９】



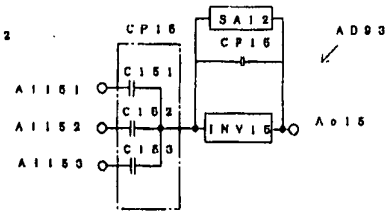

【図１１】



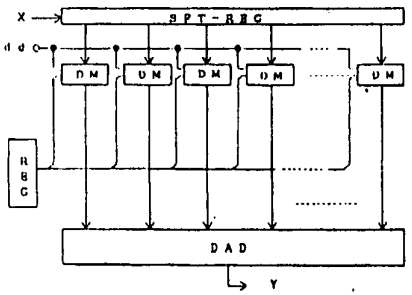

【図１４】



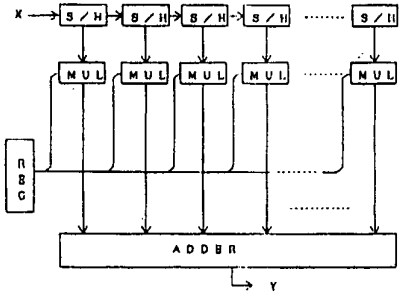

【図１５】




【図１６】

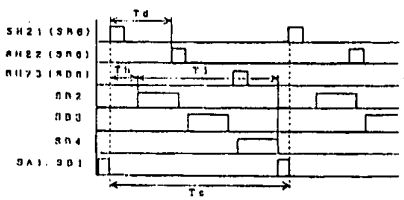



【図１７】

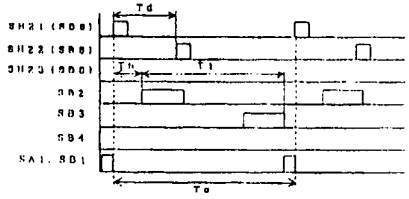





【図１８】




【図１９】




フロントページの続き

(72)発明者　山本　誠
東京都世田谷区北沢３－５－18鷹山ビル
株式会社鷹山内

(72)発明者　佐和橋　衛
神奈川県横須賀市武１－2356　ＮＴＴ移動
通信網株式会社内

(72)発明者　安達　文幸
神奈川県横須賀市武１－2356　ＮＴＴ移動
通信網株式会社内

(72)発明者　高取　直
東京都世田谷区北沢３－５－18鷹山ビル
株式会社鷹山内